

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-253754

(43)Date of publication of application : 20.10.1988

(51)Int.Cl.

H04M 3/42

(21)Application number : 62-086764

(71)Applicant : OKI ELECTRIC IND CO LTD
NIPPON TELEGR & TELEPH CORP
<NTT>

(22)Date of filing : 10.04.1987

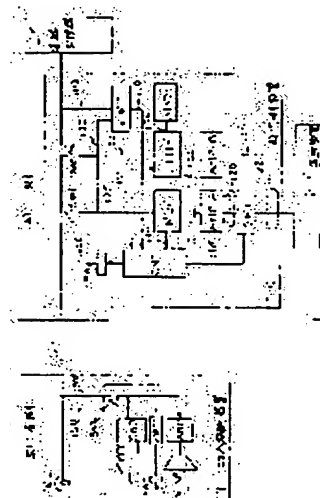
(72)Inventor : MANABE KAZUMASA
USHIWATARI ATSUSHI
MIYAMA MASANOBU
IIDA HIDEO

(54) INCOMING RESTRICTION SYSTEM

(57)Abstract:

PURPOSE: To optionally select whether a subscriber restricts the incoming from a 3rd party or permits it by providing a signal sending means sending an incoming restriction request connected to a subscriber line to reject the incoming to a terminal equipment to a subscriber line.

CONSTITUTION: A terminal set T has a signal sending means SND connected to a subscriber line L and sending an incoming restriction request rejecting the incoming to the terminal set to the subscriber line and a control means CNT of an intra-office device TR restricts the incoming to the terminal set from the exchange EX in receiving the incoming restriction request from the subscriber line. Thus, it is possible for the subscriber to apply command of incoming restriction and its release from the terminal set to the exchange side device in response to the desire and whether or not the incoming from the 3d party is to be replied caused during reception is selected by the subscriber.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

Searching PAJ

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-253757

⑬ 公開 昭和63年(1988)10月20日

⑭ Int.Cl.⁴

H 04 M 3/50
G 06 F 3/16
G 10 L 3/00
9/18

識別記号

330

庁内整理番号

A-8426-5K
Z-7341-5B
E-8622-5D
G-8622-5D

審査請求 未請求 発明の数 1 (全5頁)

⑯ 発明の名称 トーク書き込み/読出し制御法

⑰ 特 願 昭62-87172

⑱ 出 願 昭62(1987)4月10日

⑲ 発 明 者 西 山 茂
⑲ 発 明 者 河 村 仙 志

⑲ 出 願 人 沖電気工業株式会社
⑲ 出 願 人 日本電信電話株式会社
⑲ 代 理 人 弁理士 吉田 精孝

東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
東京都武蔵野市緑町3丁目9番11号 日本電信電話株式会
社通信網第一研究所内

東京都港区虎ノ門1丁目7番12号
東京都千代田区内幸町1丁目1番6号

明 細 書

1. 発明の名称

トーク書き込み/読出し制御法

2. 特許請求の範囲

ディジタルパターン化したトーク内容をメモリに書き込み、所定の読出しアドレスに従って前記トーク内容を読出すトーク書き込み/読出し制御法において、

ディジタルパターンのトーク内容及び最大許容無音時間以内の無通話パターンから構成され且つメモリの全アドレス数の1/N(Nは自然数)のアドレス数を有する単位パターンをメモリの0アドレスより連続してN回書き込み、

メモリの0アドレスより最終アドレスまでの全アドレスを読出しアドレスとして繰返し送出するようになった

ことを特徴とするトーク書き込み/読出し制御法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、ディジタルパターン化したトーク内容をメモリに書き込み、所定の読出しアドレスに従って前記メモリよりトーク内容を読出す方法に関するものである。

(従来の技術)

従来より、ディジタル交換システムでは通知用や案内用のトークをディジタルパターン化し、これをメモリに書き込み(記憶し)、所定の読出しアドレスを与えて該メモリの内容を読出し、さらにこれをディジタル・アナログ変換回路、PCM回路等(以下、回路部と称す。)に送出するようになしていた。

一般に、ディジタルパターンのトーク内容はメモリの連続したアドレスに順次書き込まれ、また、通常、メモリのアドレス値はnビットの2進符号で表わされるため、アドレス値としては所定のクロックを計数するnビットの2進カウンタの計数値が用いられる場合が多かった。

(発明が解決しようとする問題点)

ところで、トークの種類によりその時間長が

異なるため、そのデジタルパターンの数は必ずしもアドレス値が n ビットの2進符号で表わされるメモリの全アドレス数、即ち 2^n に一致するとは限らず、該メモリ中にデジタルパターンが書込まれない、いわゆる空きの部分を生じる場合がある。

前記空きの部分が充分小さく、これを無音の状態に変換し再生しても不自然でない程度の時間(以下、最大許容無音時間と称す。)、例えば2秒以下となる場合は周知の無通話パターンを書込むことにより、メモリの全アドレスにデジタルパターンのトークン内容が書込まれたメモリと同様に扱うこともできるが、空きの部分が大きい場合は、たとえ無通話パターンを書込んだとしても再生されるトークンに不自然に長い無音状態が生じることになり、好ましくない。

このため、前記カウンタの出力値が、書込み時に決定されるメモリ中のトークン内容の終了アドレス又はメモリの最終アドレスに達したことを識別し、前記空きの部分に対応するアドレス値を出

力しないよう、該カウンタをリセットし又は書込み時に決定されるメモリ中のトークン内容の開始アドレスに相当する初期値をセットする制御を行わなければならないという問題点があった。

本発明は前記問題点を除去し、トークン内容の長さ拘らず、読出しアドレスの制御を不要とし得るトークン書込み/読出し制御法を提供することを目的とする。

(問題点を解決するための手段)

本発明では前記問題点を解決するため、デジタルパターン化したトークン内容をメモリに書込み、所定の読出しアドレスに従って前記トークン内容を読出すトークン書込み/読出し制御法において、デジタルパターンのトークン内容及び最大許容無音時間以内の無通話パターンから構成され且つメモリの全アドレス数の $1/N$ (N は自然数)のアドレス数を有する単位パターンをメモリの0アドレスより連続して N 回書込み、メモリの0アドレスより最終アドレスまでの全アドレスを読出しアドレスとして繰返し送出するようになった。

(作用)

本発明によれば、メモリには該メモリの0アドレスより最終アドレスまでの全アドレスに対応する読出しアドレスが繰返し送出され、デジタルパターンのトークン内容及び最大許容無音時間以内の無通話パターンが、該メモリより繰返し読出される。

(実施例)

第1図は本発明のトークン書込み/読出し制御法を適用したトークン回路の一実施例を示すもので、図中、1-1、1-2、……1-kはメモリ、2、3はカウンタ、4はセレクタ、5はレジスタである。

メモリ1-1~1-kはそれぞれ 2^n ワード n ビットの容量を有し、以下に述べるようにしてデジタルパターンのトークン内容が書込まれている。

第2図は前記メモリ1-1~1-kにおけるトークン内容の割付けのようすを示すものである。まず、第2図(a)に示すようにメモリ全体を

最大許容無音時間又はそれ以下で最も大きな時間に相当するアドレス数 2^m ($m < n$)のエリア(以下、これを単位エリアと称す。)10に仮想的に区分する。この時、メモリ全体は 2^{n-m} 個の単位エリア10に区分されることになる。

一のトークン内容を表わす p ビットのデジタルパターンの総数 $p1$ が 2^m 以下の場合、即ち一のトークン内容が前記単位エリア10内に収まる場合は、第2図(b)に示すようにトークン内容21(図中、斜線を付した部分)、及びパターン数($2^m - p1$)の無通話パターン22からパターン(以下、これを単位パターンと称す。)20を構成し、該単位パターン20をメモリの0アドレスより最終アドレスまで書込む。

前記単位パターン20のアドレス数は単位エリア10のアドレス数 2^m と同一であり、これはメモリ全体のアドレス数の $1/2^{n-m}$ に当たり、メモリ全体では 2^{n-m} 個の単位パターン20が書込まれることになる。なお、 2^m と $p1$ とが等しい場合、単位パターン20内の無通話パターン

22はなくなる。

一方、一のトーキ内容を表わす1ビットのデジタルパターンの総数 $p2$ が 2^r より大きい場合、即ち該一のトーキ内容が一の単位エリア10内に収まらない場合は、第2図(c)に示すように x 個(図示例では4個)の単位エリア10に亘って書込まれるトーキ内容31(図中、斜線を付した部分)、及び該 x 個の単位エリア10の最後の単位エリアにトーキ内容31の残りとともに書込まれるところのパターン数($2^r - (p2 - (x-1) \cdot 2^r)$)の無通話パターン32からパターン(以下、これを単位パターンと称す。)30を構成し、該単位パターン30をメモリの0アドレスより最終アドレスまで書込む。

ここで、前記単位パターン30を構成する単位エリア10の数 x は2のべき乗、例えば 2^r ($r < n$)となるように設定され、この際、前記単位パターン30のアドレス数はメモリ全体のアドレス数の $1/2^{n-(r+1)}$ に当たり、メモリ全体では $2^{n-(r+1)}$ 個の単位パターン30が書込まれ

アドレス値を、各メモリ1-1~1-kに繰返し送出する。カウンタ3は k 進カウンタであり、前記カウンタ2に対するクロックと同期し且つその k 倍の周波数のクロックを計数し、即ちカウンタ2が1歩進する間に k 進し、その計数値をセレクタ4に繰返し送出する。

セレクタ4はメモリ1-1~1-kの出力値を受信し、カウンタ3の出力値に従って、該メモリ1-1~1-kの出力値をレジスタ5に切替えて送出する。レジスタ5はセレクタ4の出力値を一時保持し、回線側に送出する。

前記構成によれば、各メモリ1-1~1-kの0アドレスより最終アドレスまでにはデジタルパターンのトーキ内容もしくは最大許容無音時間以内の無通話パターンが全て書込まれており、カウンタ2から供給されるメモリアドレスの値に従って、常時、各メモリ1-1~1-kよりデジタルパターンもしくは無通話パターンが読出され、これらはカウンタ3から出力される値に従ってセレクタ4で順次選択され出力され、レジスタ

ることになる。

なお、トーキ内容31の長さが 2^r 個の単位エリア10にちょうど収まるような長さでない場合は、トーキ音声の速度を多少遅くしたり速くしたりして合わせるようにすれば良い。また、 2^r と($p2 - (x-1) \cdot 2^r$)とが等しい場合、単位パターン30内の無通話パターン32はなくなる。

このようにして、各メモリ1-1~1-kにはデジタルパターンのトーキ内容及び最大許容無音時間以内の無通話パターンから構成され且つメモリの全アドレス数の $1/N$ (但し、第2図の例では N は 2^{n-r} 又は $2^{n-(r+1)}$ であり、自然数である。)のアドレス数を有する単位パターンが N 回書込まれている。

カウンタ2は周知の n ビットの2進カウンタであり、図示しないクロック発生器より供給される所定の周期、例えば $125\mu\text{sec}$ のクロックを計数し、メモリ1-1~1-kの0アドレスより最終アドレス(2^n)までの全アドレスに対応する

5で一時保持され、時分割多重化されて回線側に送出される。

(発明の効果)

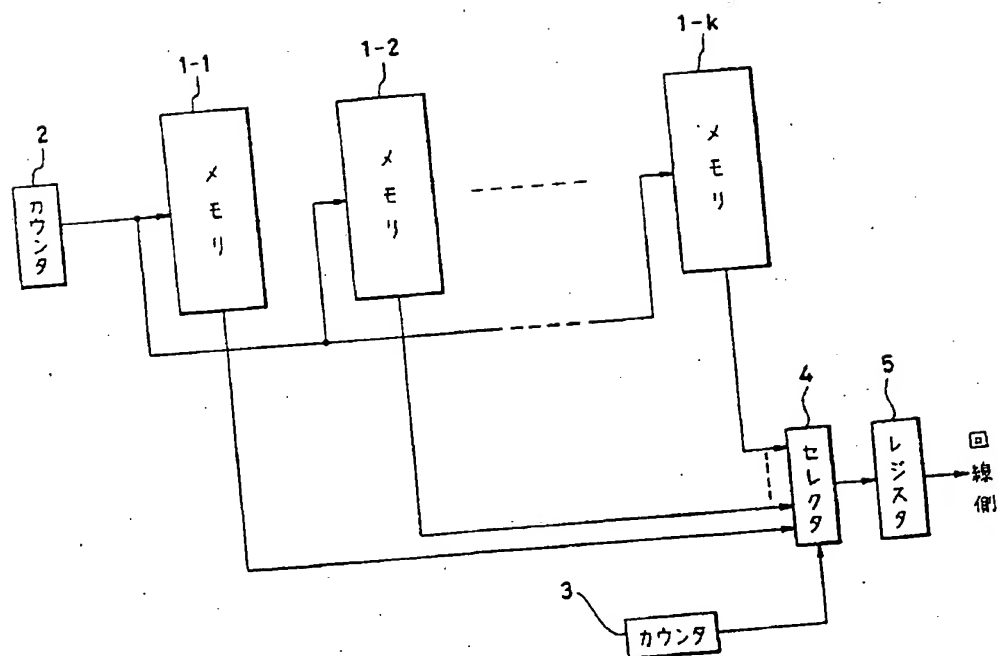
以上説明したように本発明によれば、デジタルパターンのトーキ内容及び最大許容無音時間以内の無通話パターンから構成され且つメモリの全アドレス数の $1/N$ のアドレス数を有する単位パターンをメモリの0アドレスより連続して N 回書込み、メモリの0アドレスより最終アドレスまでの全アドレスを読出しアドレスとして繰返し送出するようになったため、メモリに該メモリの0アドレスより最終アドレスまでの全アドレスに対応する読出しアドレスを繰返し送出するのみで、デジタルパターンのトーキ内容及び最大許容無音時間以内の無通話パターンが繰返し読出され、従って、トーキの長さによって読出しアドレスを制御する必要がなくなり、多種類のトーキを同一のカウンタ等より出力される読出しアドレスで読出し可能となる等の利点がある。

4. 図面の簡単な説明

第1図は本発明のトーキ回込み/跳出し制御
法を適用したトーキ回路の一実施例を示す構成図、
第2図はトーキ内容のメモリに対する割付けのよ
うを示す説明図である。

1-1~1-k…メモリ、2…カウンタ、
4…セクタ、5…レジスタ、20、30…
単位パターン、21、31…トーキ内容、
22、32…無通話パターン。

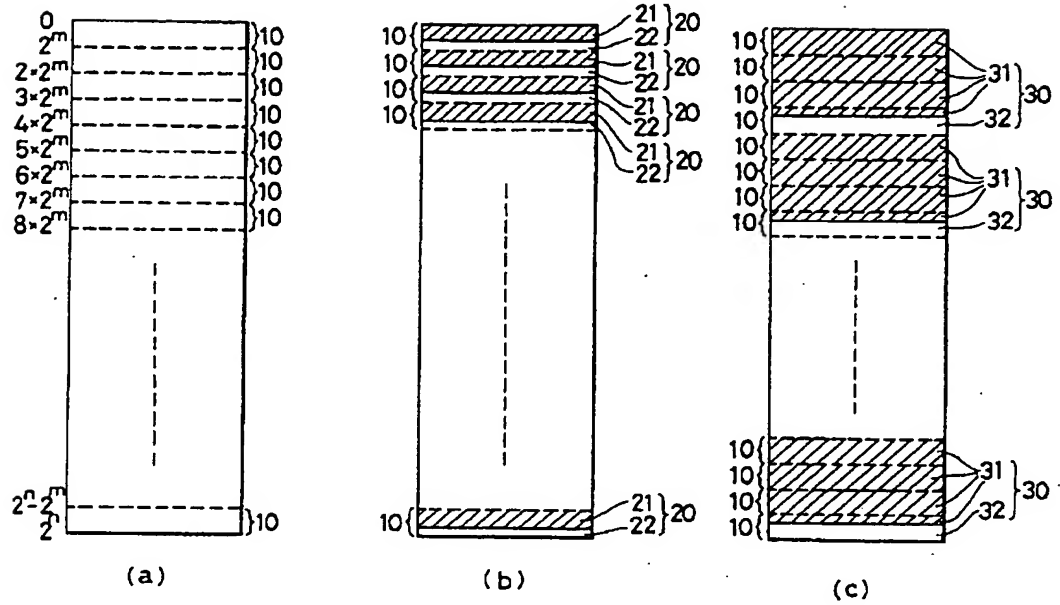
特許出願人 沖電気工業株式会社
日本電信電話株式会社
代理人弁護士 吉田 翔 孝



本発明を適用したトーキ回路の一実施例を示す図
第1図

10:単位エリア
20,30:単位パターン

21,31:トキ内容
22,32:無通話パターン



トキ内容のメモリに対する割付けを示す図

第2図